

# Un système PXI RT & FPGA contrôle une ligne de transfert d'électrons à l'ESRF

**La problématique :** réalisation d'un système de contrôle d'une ligne de transfert servant à récupérer les électrons à la sortie du canon accélérateur.

**La solution :** développer le logiciel et remplacer le système actuel par un châssis PXI utilisant les technologies temps réel et FPGA.

Basé à Grenoble, l'ESRF (European Synchrotron Radiation Facility) est un regroupement exemplaire de coopération scientifique européenne. Dix-huit nations exploitent ensemble les faisceaux de lumière synchrotron produits pour étudier une gamme extrêmement large de matériaux. Plusieurs milliers de chercheurs viennent chaque année pour effectuer des expériences. L'ESRF doit sa réputation à la qualité des techniques et des instruments développés ainsi qu'à son personnel. Le service Accélérateurs de l'ESRF a fait appel à **ARCALE** pour le remplacement d'un équipement existant.

TL1 est une ligne de transfert servant à récupérer les électrons à la sortie du Linac (canon accélérateur linéaire) pour les guider jusqu'au Booster (accélérateur). Cette ligne est composée d'une succession d'aimants Quadropolaires, Dipolaires et de correction, qui est alimentée par un ensemble de deux armoires de puissance.

Chacune des armoires est équipée d'un système de contrôle qui permet de piloter individuellement les unités de puissance (asservies en courant) par le biais du panneau de commande en face avant (mode local) ou par une liaison série RS232 depuis un châssis VME (mode « remote »).

L'objectif principal du projet est de remplacer le système de contrôle de l'armoire de puissance Quadropolaire.

## Mise en place du nouveau système

Le nouveau système de pilotage de la ligne TL1 est composé d'une architecture client/serveur basée sur un châssis PXI de National Instruments - incluant un contrôleur temps réel et une carte FPGA - et de logiciels développés à partir du langage de programmation graphique LabVIEW et de ses modules LabVIEW Real Time et LabVIEW FPGA. Il existe deux modes de fonctionnement : local et remote.

Le contrôleur RT établit la communication entre l'armoire de puissance et la machine ServeurTango placée sur le réseau de l'ESRF. Un des deux ports série du contrôleur est aussi utilisé. La carte FPGA (PXI-7831R) achemine les entrées /sorties TOR des sécurités, commandes, voyants et signaux analogiques sur chacune des unités de puissance des aimants. C'est la qualité des convertisseurs (16 bits) de cette carte qui a déterminé le choix matériel ainsi que la sécurité de fonctionnement apportée par la logique embarquée dans le FPGA.

Une carte développée en interne fait l'interface entre les signaux de la carte FPGA et les unités de puissance fixées sur l'armoire des aimants.

Le mode local est uniquement accessible depuis l'armoire de puissance. Sur les sept canaux, l'utilisateur pilote alors : sept consignes de courant (0 à 160A), sept lectures de courant, huit voyants sur chaque canal indiquant des fautes et des alarmes, le bloc d'alimentation commun, .... En cas de faute, le système est verrouillé tant que le bouton Reset Canal n'est pas actionné.



Le mode remote – le plus utilisé – pilote le système par TCP/IP et renvoie un code lorsque le système est déjà utilisé en mode local. En remote, toutes les commandes locales de l'interface logicielle sont inaccessibles, mais les afficheurs restent visibles.

## Chaque logiciel a son rôle

Le **logiciel ciblé sur la carte FPGA** pilote tous les organes matériels et exécute les algorithmes de sécurité.

Le logiciel intègre quatre boucles qui tournent en parallèle :  
- acquisition analogique et moyenne  
- évaluation des conditions générales de démarrage  
- évaluation des conditions de démarrage pour chaque voie  
- aiguillage des consignes des alimentations et pilotage des voies annexes

La boucle d'acquisition analogique est cadencée à 640HZ pour obtenir un rafraîchissement des mesures à la fréquence de 10Hz après un lissage sur 64 échantillons. Les données sont stockées dans la mémoire du FPGA et accumulées par voie. Les autres boucles (évaluation principale, évaluation des canaux, aiguillage final et voies annexes) constituant le système sont cadencées à 1KHz.

Le rôle du **logiciel embarqué** sur le PXI est de transmettre des demandes utilisateur jusqu'au FPGA. Les sous-programmes diffèrent selon que le système est en mode remote ou local. Le **logiciel host**, exécuté sous Windows, a pour but de présenter simplement et facilement l'état des registres du FPGA et offre la possibilité à l'utilisateur de les piloter en retour.

**La qualité de la carte FPGA associée au logiciel développé par ARCALE rend ce système fiable et efficace.**

L'application a été réalisée en un mois par un développeur ARCALE. La difficulté majeure est de garantir la fiabilité du système qui n'autorise aucune panne. En effet, pour le bon déroulement des expériences, il faut assurer 24h/24 la continuité de service des accélérateurs.

L'utilisation du logiciel LabVIEW et de ses modules Real-Time et FPGA permet une programmation plus aisée du matériel même si le système reste complexe.

Satisfait de cette application, l'ESRF développe actuellement un système basé sur LabVIEW RT pour des asservissements numériques d'alimentations pulsées.